

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 2月16日

出願番号

Application Number:

特願2001-040431

[ST.10/C]:

[JP2001-040431]

出願人

Applicant(s):

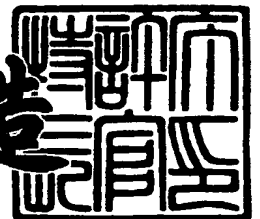
キヤノン株式会社

RECEIVED  
MAY 08 2002  
TC 1700

2002年 3月 8日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2002-3014211

【書類名】 特許願

【整理番号】 4360014

【提出日】 平成13年 2月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/772

【発明の名称】 半導体装置及びその製造方法並びにインクジェットヘッド

【請求項の数】 7

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

【氏名】 下津佐 峰生

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法並びにインクジェットヘッド

【特許請求の範囲】

【請求項 1】 スイッチ素子とこのスイッチ素子を駆動するための回路を同一基体上に形成した半導体装置において、

前記スイッチ素子は、

第 1 導電型の半導体基体の一主面側に設けられた第 2 導電型の第 1 の半導体領域と、

この第 1 の半導体領域に設けられた第 1 導電型の第 2 の半導体領域と、

この第 2 の半導体領域と前記第 1 の半導体領域の P N 接合が終端する表面に絶縁膜を介して設けられた第 1 のゲート電極と、

前記第 2 の半導体領域の表面側に前記第 1 のゲート電極の一方の端部に整合した第 2 導電型の第 1 のソース領域と、

前記第 1 の半導体領域の表面側に設けられた第 2 導電型の第 1 のドレイン領域と、を有する第 1 の M I S 型電界効果トランジスタであり、

前記スイッチ素子を駆動するための回路は、

前記第 1 導電型の半導体基体の一主面側に設けられた第 2 導電型の第 1 の半導体領域と、

前記半導体基体と前記第 1 の半導体領域の P N 接合が終端する表面に絶縁膜を介して設けられた第 2 のゲート電極と、

前記半導体基体の主面側に前記第 2 のゲート電極の一方の端部に整合した第 2 導電型の第 2 のソース領域と、

前記第 1 の半導体領域の表面側に前記半導体基体と前記第 1 の半導体領域の P N 接合の端部から離れて設けられた第 2 導電型の第 2 のドレイン領域と、を有する第 2 の M I S 型電界効果トランジスタを具備することを特徴とする半導体装置。

【請求項 2】 複数個のスイッチ素子とこれら複数個のスイッチ素子を駆動するための回路で構成されるトランジスタアレイを同一基体上に形成した半導体装置において、

前記スイッチ素子は、第 1 導電型の半導体基体の一主面側に設けられた第 2 導電型の第 1 の半導体領域と、

この第 1 の半導体領域を分離するように設けられた前記第 1 の半導体領域より深い第 1 導電型の第 2 の半導体領域と、

この第 2 の半導体領域と前記第 1 の半導体領域の P N 接合が終端する表面に絶縁膜を介して選択的に設けられた第 1 のゲート電極と、

前記第 2 の半導体領域の表面側に前記第 1 のゲート電極の一方の端部に整合した第 2 導電型の第 1 のソース領域と、

前記第 1 の半導体領域の表面側に設けられた第 2 導電型の第 1 のドレイン領域と、を有する第 1 の M I S 型電界効果トランジスタであり、

前記スイッチ素子を駆動するための回路は、

前記第 1 導電型の半導体基体の一主面に第 2 導電型の第 1 の半導体領域と、

前記半導体基体と前記第 1 の半導体領域の P N 接合が終端する表面に絶縁膜を介して選択的に設けられた第 2 のゲート電極と、

前記半導体基体の主面側に前記第 2 のゲート電極の一方の端部に整合した第 2 導電型の第 2 のソース領域と、

前記第 1 の半導体領域の表面側に前記半導体基体と前記第 1 の半導体領域の P N 接合の端部から離れて設けられた第 2 導電型の第 2 のドレイン領域と、を有する第 2 の M I S 型電界効果トランジスタを具備することを特徴とする半導体装置

【請求項 3】 前記第 2 の M I S 型電界効果トランジスタは、第 1 の M I S 型電界効果トランジスタに対し、オン抵抗が 1 倍以上で、且つ動作耐圧が 2 / 3 倍以下であることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記第 2 の M I S 型電界効果トランジスタは、第 1 の M I S 型電界効果トランジスタに対し、オン抵抗が 1 倍以上で、且つ動作範囲内での最大基板電流が 1 0 倍以上であることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 5】 スイッチ素子とこのスイッチ素子を駆動するための回路を同一基体上に形成する半導体装置の製造方法であって、

第 1 導電型の半導体基体の表面に、第 2 導電型の複数の第 1 の半導体領域を形成する工程と、

この複数の第 1 の半導体領域上に、ゲート絶縁膜を形成する工程と、

前記複数の第 1 の半導体領域のうち一つの表面に前記ゲート絶縁膜を介して第 1 のゲート電極を、前記半導体基体と前記複数の第 1 の半導体領域のうち別の一つの P N 接合が終端する表面に前記ゲート絶縁膜を介して第 2 のゲート電極を形成する工程と、

前記第 1 のゲート電極をマスクとした第 1 導電型の不純物のイオン注入により、前記複数の第 1 の半導体領域のうち一つ中に、第 1 導電型の第 2 の半導体領域を形成する工程と、

前記第 2 の半導体領域の表面側に前記第 1 のゲート電極をマスクとした第 2 導電型のイオン注入により第 2 導電型の第 1 のソース領域を形成し、前記第 1 の半導体領域の表面側に第 2 導電型の第 1 のドレイン領域を形成し、前記半導体基体の表面側に前記第 2 のゲート電極をマスクとしたイオン注入により第 2 導電型の第 2 のソース領域を形成し、前記第 1 の半導体領域の表面側に前記半導体基体と前記第 1 の半導体領域の P N 接合から離れた第 2 導電型の第 2 のドレイン領域を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 6】 スイッチ素子とこのスイッチ素子を駆動するための回路を同一基体上に形成する半導体装置の製造方法であって、

第 1 導電型の半導体基体の表面に、第 2 導電型の複数の第 1 の半導体領域を形成する工程と、

この複数の第 1 の半導体領域上に、ゲート絶縁膜を形成する工程と、

前記複数の第 1 の半導体領域のうち一つの表面に前記ゲート絶縁膜を介して第 1 のゲート電極を、前記半導体基体と前記複数の第 1 の半導体領域の他の一つの P N 接合が終端する表面に前記ゲート絶縁膜を介して第 2 のゲート電極を形成する工程と、

前記第 1 のゲート電極をマスクとしたイオン注入により、前記複数の第 1 の半導体領域の一つを分離する、前記第 1 の半導体領域より高濃度な第 1 導電型の第

2の半導体領域を形成する工程と、

前記第2の半導体領域の表面側に前記第1のゲート電極をマスクとしたイオン注入により第2導電型の第1のソース領域を形成し、前記第1の半導体領域の表面側に第2導電型の第1のドレイン領域を形成し、前記半導体基体の表面側に前記第2のゲート電極をマスクとしたイオン注入により第2導電型の第2のソース領域を形成し、前記第1の半導体領域の表面側に前記半導体基体と前記第1の半導体領域のPN接合から離れた第2導電型の第2のドレイン領域を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項7】 請求項1または2記載の半導体装置と、前記半導体装置のスイッチ素子に接続された電気熱変換体と、インクを吐出する吐出口とを備えたことを特徴とするインクジェットヘッド。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MIS (Metal Insulator Semiconductor)型電界効果トランジスタを含む半導体装置に関し、特に複写機、ファクシミリ、ワードプロセッサ、コンピュータ等の出力用端末として用いるインクジェットプリンタのような記録装置に搭載して好適な半導体装置及びその製造方法並びにインクジェットヘッドに関する。

【0002】

【従来の技術】

従来、各種出力用端末として用いられる記録装置には、その記録ヘッドとして、電気熱変換素子とこの電気熱変換素子をスイッチする素子（以下、スイッチ素子）、およびそのスイッチ素子を駆動するための回路が同一基体上に搭載されている。

【0003】

図9は、従来の構成による記録ヘッドの一部分を示す模式的な断面図である。901は単結晶シリコンからなる半導体基体である。912はp型のウエル領域

、908はn型のドレイン領域、916はn型の電界緩和ドレイン領域、907はn型のソース領域、914はゲート電極であり、これらでMIS型電界効果トランジスタを用いたスイッチ素子930を形成している。917は蓄熱層、および絶縁層としての酸化シリコン層、918は熱抵抗層としての窒化タンタル膜、919は配線としてのアルミニウム合金膜、および920は保護層としての窒化シリコン膜であり、以上で記録ヘッドの基体940を形成している。ここでは950が発熱部となり、960からインクが吐出される。また、天板970は基体940と協働して液路980を画成している。

#### 【0004】

ところで、前記構造の記録ヘッドおよびスイッチ素子に対して数多くの改良が加えられてきたが、近年製品に対して、高速駆動化、省エネルギー化、高集積化、低コスト化、および高性能化がより一層求められるようになった。このため、図9に示すようなスイッチ素子として使用されるMIS型電界効果トランジスタ930を半導体基体901内に複数個作り込み、これらのMIS型電界効果トランジスタ930を単独、または複数個同時に動作させ、結線されている電気熱変換素子を駆動させる。

#### 【0005】

##### 【発明が解決しようとする課題】

しかしながら、電気熱変換素子を駆動させるために必要となる大電流下においては、従来のMIS型電界効果トランジスタ930を機能させると、ドレインーウェル間のpn逆バイアス接合部は高電界に耐えられずリーク電流を発生させ、スイッチ素子として要求される耐圧を満足することができなかった。更に、スイッチ素子として使用されるMIS型電界効果トランジスタのオン抵抗が大きいと、ここでの電流の無駄な消費によって、電気熱変換素子を駆動するために必要な電流が得られなくなるという解決すべき問題があった。

#### 【0006】

また、耐圧の問題を解決するためには、図10に示すようなMIS型電界効果トランジスタ1030が考えられる。このMIS型電界効果トランジスタの構造は通常の構造とは異なり、ドレインの中にチャネルを作り込むことによって、耐



圧を決定しているドレインの深さを深く、また、低濃度で作り込むことが可能となり、耐圧の問題を解決できる。

## 【0007】

しかしながら、このMIS型電界効果トランジスタ1030はスイッチ素子としての特性は前述のとおり高性能ではあるが、アナログ素子としては不自由な素子である。アナログ素子はマスクでチャネル長を調整することにより、任意のしきい値電圧を設計する。また、基板にバックゲート電圧がかかる回路構成に耐えるものでなければならない。

## 【0008】

このMIS型電界効果トランジスタ1030のチャネル長はベース層とソース層の横方向拡散量の差で決まる。そのため、チャネル長は通常のMIS型電界効果トランジスタに比べて短く、また、マスクで調整することもできない。

## 【0009】

また、スイッチ素子にこのMIS型電界効果トランジスタ1030を用い、その他の部分には通常のMISトランジスタを用いた場合は、スイッチ素子を駆動するレベルシフト素子の耐圧が足りなくなってしまう。

## 【0010】

これを具体的に述べると、一般的なドライバICの信号は図11に示すように伝わる。まず、入力の信号が5.0V、ないし3.3VをHiとして与えられる。その信号がデコーダにより、任意のBitに伝わる。その後、信号はソース設置のCMOS構成のインバータ回路をとおり、スイッチMOSのゲートに入力される。

## 【0011】

ここで重要なのはCMOS構成のインバータ回路に与えられるVHTという任意の電圧である。このVHTはスイッチMOSのオン抵抗が最小になるように設計される必要がある。スイッチMOSのオン抵抗が最小になればスイッチMOSの寸法を最小にできるからである。

## 【0012】

このVHTは外部入力されないため、IC内で電圧レベルを変換する必要がある

る。このように電圧レベルを変換するレベルシフト回路には図12に示す順方向ダイオードを直列接続して定電圧を得る方法もあるが、1個のダイオードの特性ばらつきがかけ算で効いてくる。また、電流依存の電圧変動を防ぐためにダイオードのサイズを大きくする必要があるため現実的ではない。

## 【0013】

そのため、レベルシフト回路にはソースホロワのトランジスタを介在させ、定電圧を得る方法が一般的である。このレベルシフト回路を図11に組み込んだ場合、図13のようになる。

## 【0014】

このとき、スイッチMOSを駆動するドレイン電圧 $V_H$ を30V、 $V_{GNDH}$ を0Vとして、ゲート電圧 $V_{HT}$ を12Vにする場合、レベルシフトに用いるソースホロワのトランジスタには、-12Vのバックゲート電圧がかかり、またドレイン-ソース間耐圧が18V以上必要になることがわかる。

## 【0015】

このようにスイッチ素子をスイッチ特性の優れたMIS型電界効果トランジスタ構造にすると、任意のしきい値電圧を設定でき、バックゲート電圧に耐えるアナログ特性を有する中耐圧素子が不足するという解決すべき問題があった。

## 【0016】

そこで本発明は、前述の課題を解決し、大電流、高耐圧で高速駆動、省エネルギー、高集積化、および低コスト化が達成できる、MIS型電界効果トランジスタを含む高性能な半導体装置を提供することを目的とする。

## 【0017】

## 【課題を解決するための手段】

上述の課題を解決するため、本発明は、スイッチ素子とこのスイッチ素子を駆動するための回路を同一基体上に形成した半導体装置において、前記スイッチ素子は、第1導電型の半導体基体(101)の一主面側に設けられた第2導電型の第1の半導体領域(102)と、この第1の半導体領域に設けられた第1導電型の第2の半導体領域(105)と、この第2の半導体領域と前記第1の半導体領域のPN接合が終端する表面に絶縁膜を介して設けられた第1のゲート電極(1

04) と、前記第2の半導体領域の表面側に前記第1のゲート電極の一方の端部に整合した第2導電型の第1のソース領域(107)と、前記第1の半導体領域の表面側に設けられた第2導電型の第1のドレイン領域(108)と、を有する第1のMIS型電界効果トランジスタであり、前記スイッチ素子を駆動するための回路は、前記第1導電型の半導体基体(111)の一主面側に設けられた第2導電型の第1の半導体領域(112)と、前記半導体基体と前記第1の半導体領域のPN接合が終端する表面に絶縁膜を介して設けられた第2のゲート電極(114)と、前記半導体基体の主面側に前記第2のゲート電極の一方の端部に整合した第2導電型の第2のソース領域(117)と、前記第1の半導体領域の表面側に前記半導体基体と前記第1の半導体領域のPN接合の端部から離れて設けられた第2導電型の第2のドレイン領域(118)と、を有する第2のMIS型電界効果トランジスタを具備することを特徴とする。

#### 【0018】

また、本発明は、複数個のスイッチ素子とこれら複数個のスイッチ素子を駆動するための回路で構成されるトランジスタアレイを同一基体上に形成した半導体装置において、前記スイッチ素子は、第1導電型の半導体基体(301)の一主面側に設けられた第2導電型の第1の半導体領域(302)と、この第1の半導体領域を分離するように設けられた前記第1の半導体領域より深い第1導電型の第2の半導体領域(305)と、この第2の半導体領域と前記第1の半導体領域のPN接合が終端する表面に絶縁膜を介して選択的に設けられた第1のゲート電極(304)と、前記第2の半導体領域の表面側に前記第1のゲート電極の一方の端部に整合した第2導電型の第1のソース領域(307)と、前記第1の半導体領域の表面側に設けられた第2導電型の第1のドレイン領域(308)と、を有する第1のMIS型電界効果トランジスタであり、前記スイッチ素子を駆動するための回路は、前記第1導電型の半導体基体の一主面に第2導電型の第1の半導体領域と、前記半導体基体と前記第1の半導体領域のPN接合が終端する表面に絶縁膜を介して選択的に設けられた第2のゲート電極と、前記半導体基体の主面側に前記第2のゲート電極の一方の端部に整合した第2導電型の第2のソース領域と、前記第1の半導体領域の表面側に前記半導体基体と前記第1の半導体領

域のPN接合の端部から離れて設けられた第2導電型の第2のドレイン領域と、を有する第2のMIS型電界効果トランジスタを具備することを特徴とする。

## 【0019】

とりわけ、前記第2のMIS型電界効果トランジスタは、第1のMIS型電界効果トランジスタに対し、オン抵抗が1倍以上で、且つ動作耐圧が2/3倍以下であることが好ましい。

## 【0020】

又、前記第2のMIS型電界効果トランジスタは、第1のMIS型電界効果トランジスタに対し、オン抵抗が1倍以上で、且つ動作範囲内での最大基板電流が10倍以上であることが好ましい。

## 【0021】

本発明の、スイッチ素子とこのスイッチ素子を駆動するための回路を同一基体上に形成する半導体装置の製造方法は、第1導電型の半導体基体(501)の表面に、第2導電型の複数の第1の半導体領域(502, 512)を形成する工程と、この複数の第1の半導体領域(502, 512)上に、ゲート絶縁膜を形成する工程と、前記複数の第1の半導体領域のうち一つの表面に前記ゲート絶縁膜を介して第1のゲート電極(504)を、前記半導体基体と前記複数の第1の半導体領域のうち別の一つとのPN接合が終端する表面に前記ゲート絶縁膜を介して第2のゲート電極(514)を形成する工程と、前記第1のゲート電極(504)をマスクとした第1導電型の不純物のイオン注入により、前記複数の第1の半導体領域のうち一つ(502)中に、第1導電型の第2の半導体領域(505)を形成する工程と、前記第2の半導体領域の表面側に前記第1のゲート電極をマスクとした第2導電型のイオン注入により第2導電型の第1のソース領域(507)を形成し、前記第1の半導体領域の表面側に第2導電型の第1のドレイン領域(508)を形成し、前記半導体基体の表面側に前記第2のゲート電極をマスクとしたイオン注入により第2導電型の第2のソース領域(517)を形成し、前記第1の半導体領域の表面側に前記前記半導体基体と前記第1の半導体領域のPN接合から離れた第2導電型の第2のドレイン領域(518)を形成する工程と、を含むことを特徴とする。

## 【0022】

又、本発明の、スイッチ素子とこのスイッチ素子を駆動するための回路を同一基体上に形成する半導体装置の製造方法は、第1導電型の半導体基体(801)の表面に、第2導電型の複数の第1の半導体領域(802, 812)を形成する工程と、この複数の第1の半導体領域(802, 812)上に、ゲート絶縁膜(803)を形成する工程と、前記複数の第1の半導体領域のうち一つの表面に前記ゲート絶縁膜を介して第1のゲート電極(804)を、前記半導体基体と前記複数の第1の半導体領域の他の一つとのPN接合が終端する表面に前記ゲート絶縁膜を介して第2のゲート電極(814)を形成する工程と、前記第1のゲート電極(804)をマスクとしたイオン注入により、前記複数の第1の半導体領域の一つ(802)を分離する、前記第1の半導体領域より高濃度な第1導電型の第2の半導体領域(805)を形成する工程と、前記第2の半導体領域の表面側に前記第1のゲート電極をマスクとしたイオン注入により第2導電型の第1のソース領域(807)を形成し、前記第1の半導体領域の表面側に第2導電型の第1のドレイン領域(808)を形成し、前記半導体基体の表面側に前記第2のゲート電極をマスクとしたイオン注入により第2導電型の第2のソース領域(817)を形成し、前記第1の半導体領域の表面側に前記半導体基体と前記第1の半導体領域のPN接合から離れた第2導電型の第2のドレイン領域(818)を形成する工程と、を含むことを特徴とする。

## 【0023】

更に、本発明のインクジェットヘッドは、上記半導体装置と、前記半導体装置のスイッチ素子に接続された電気熱変換体と、インクを吐出する吐出口とを備えたことを特徴とする。

## 【0024】

## 【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。図1(a), (b)は、それぞれ本発明によるスイッチ素子および駆動回路素子の断面構造図であり、図2はそれを用いた模式的な回路構成を示す。

## 【0025】

図 1 (a) は、本発明に用いられるスイッチ素子の一例を示しており、101 は第 1 導電型の半導体基体、102 は第 2 導電型の第 1 の半導体領域であるウェル領域、103 はゲート絶縁膜、104 はゲート電極、105 は第 1 導電型の第 2 の半導体領域であるベース領域、107 はゲート電極の左端部に整合しているソース領域、108 はゲート電極から横方向に離れた高濃度のドレイン領域である。

#### 【0026】

図 1 (a) に示すスイッチ素子は、予め十分深く形成したウェル領域 102 上にベース領域 105 を形成する。このウェル領域 102 とベース領域 105 は、それぞれ M I S 型電界効果トランジスタにおいて、ドレインとチャネルの役割を果たすこととなる。そのため、通常のチャネルとなる領域内に不純物を導入してドレインを形成する順序とは逆に、ドレインとなる領域内に不純物を導入してチャネルとなる領域を形成できることから、ドレインの濃度をチャネルの濃度より低く設定することが可能である。トランジスタの耐圧はこのドレインの耐圧で決定され、その耐圧は通常、ドレインの濃度が低いほど、ドレインの深さが深いほど高くなる。このため、定格電圧を高く設定でき、大電流化を可能とし、高速動作を実現できる。

#### 【0027】

また、本発明による M I S 型電界効果トランジスタの実効チャネル長は、ベース領域 105 とソース領域 107 との横方向拡散量の差で決定される。この横方向拡散量は物理的係数に基づき決定されるため、実効チャネル長は従来より短く設定でき、オン抵抗を低減することができる。このオン抵抗の低減は、単位寸法における電流の流せる量を大きくすることにつながり、高速動作、省エネルギー、および高集積化が可能となる。

#### 【0028】

また、このベース領域 105 とソース領域 107 はどちらもゲート電極 104 をマスクとしたイオンの導入により自己整合的（セルフアライン）に形成されるため、アライメントによる寸法差を生じることがなく、M I S 型電界効果トランジスタのしきい値をばらつきなく製造することができ、高歩留りを実現し、高信

頼性を得られる。

【 0 0 2 9 】

更には、必要に応じてベース領域 1 0 5 の深さをウエル領域 1 0 2 の底よりも深くして、半導体基体につながるように形成することも好ましいものである。

【 0 0 3 0 】

図 1 ( b ) は、図 1 ( a ) のスイッチ素子を駆動するための回路中に含まれる素子であり、1 1 1 は第 1 導電型の半導体基体、1 1 2 は第 2 導電型の第 1 の半導体領域であるウエル領域、1 1 3 はゲート絶縁膜、1 1 4 はゲート電極、1 1 7 はゲート電極の左端部に整合しているソース領域、1 1 8 はゲート電極から横方向に離れた高濃度のドレイン領域である。

【 0 0 3 1 】

ドレイン領域 1 1 8 側に低濃度のドレインとして作用するウエル領域 1 1 2 を備え、チャネルと低濃度のドレイン領域との P N 接合から離れ、更にはゲート電極からも離れているため、通常のゲート電極に対してセルフアラインでソース・ドレイン領域を形成する M I S 型電界効果トランジスタに比してソース・ドレイン間の耐圧を高く設定できる。また、この素子はウエル領域 1 1 2 を電界緩和ドレイン領域として利用しているため、マスク枚数を増加させること、また製造コストを上げることはない。

【 0 0 3 2 】

また、チャネル長を自由に設計できるため、任意のしきい値電圧を設定でき、バックゲート電圧に耐えるアナログ特性を有し、自由な設計が可能となる。

【 0 0 3 3 】

そして、図 1 の ( a ) , ( b ) に示したトランジスタは、基体 1 0 1 と 1 1 1 をシリコン基板などの共通基体を用いて一体化できる。これにより、図 2 のような簡単な回路構成が実現できる。

【 0 0 3 4 】

図 2 において、R H は電気熱変換体のような負荷であり、その低電位側 V G N D H には、図 1 ( a ) のようなトランジスタがスイッチ素子として接続されている。スイッチ素子のゲートには C M O S インバータが接続され、C M O S インバ

ータの入力端子にはアンドゲートが接続されている。CMOSインバータの高電位側の基準電圧VHTを与えるレベルシフト素子には、図1(b)のようなトランジスタが用いられている。CMOSインバータを構成するトランジスタやアンドゲートを構成するトランジスタは、図1(a)や(b)とは異なる低濃度ドレイン領域(電界緩和ドレイン領域)のない一般的なMOSトランジスタで構成できる。

## 【0035】

好ましくは図3に示すように、同一基板上にアレイ状に複数のスイッチ素子を配置し、ウエル領域302を分離する形にベース領域305を深く形成する構造を採用すれば各セグメントの各ドレインを個々に電氣的に分離できる。これにより、本発明の半導体装置をアレイ状に配置し、記録装置として使用する場合でも、図4に示すような簡単な回路構成で実現でき、低コスト化が可能となる。図4において、ユニット1～ユニット3は電気熱変換体のような負荷を、トランジスタTr1～Tr3は上述したスイッチ素子を示している。

## 【0036】

次に、本発明による半導体装置の製造工程を示すが、以下の実施の形態に限定されることはなく、本発明の目的が達成され得るものであれば良い。

## 【0037】

## (第1の実施の形態)

図5(a)～(d)は、本発明に係る第1の実施形態の製造工程毎の断面図である。図5(a)に示すように、p型半導体基体501の表面に、第1のn型のウエル領域502と第2のn型のウエル領域512を形成する。このn型のウエル領域502、512はp型半導体基体501上に選択的に形成する。また、n型のウエル領域502、512となる共通のエピタキシャル層をp型半導体基体501全面にエピタキシャル成長法を用いて形成して、その中にp型のウエル領域を選択的に形成することにより、n型のウエル領域502、512を互いに離して形成することも可能である。

## 【0038】

次に図5(b)に示すように、n型のウエル領域502上に、例えば水素燃焼



酸化により膜厚約 5 0 n m のゲート酸化膜 5 0 3 を成長させ、ゲート酸化膜 5 0 3 上に、例えば L P C V D (Low Pressure Chemical Vapor Deposition) 法により膜厚約 3 0 0 n m の多結晶シリコンを堆積する。この多結晶シリコンには L P C V D 法で堆積すると同時に、例えばリンをドーピングしたり、または堆積後に、例えばイオン注入法や固相拡散法を用いて、例えばリンをドーピングして所望の配線抵抗値となるようにする。その後、フォトリソグラフィによりパターニングを行ない、多結晶シリコン膜をエッチングする。これにより M I S 型電界効果トランジスタの第 1 のゲート電極 5 0 4 と第 2 のゲート電極 5 1 4 が形成できる。この際、第 1 のゲート電極 5 0 4 は第 1 の n 型のウエル領域 5 0 2 上に形成し、第 2 のゲート電極 5 1 4 は第 2 の n 型のウエル領域 5 1 2 と半導体基体 5 0 1 とによる P N 接合が終端する表面上に形成する必要がある。

## 【 0 0 3 9 】

次に図 5 (c) に示すように、不図示のフォトレジストを塗布してフォトリソグラフィによりパターニングを行ない、またゲート電極 5 0 4 をマスクとして、選択的に p 型の不純物、例えばボロンをイオン注入して、さらに電気炉で例えば 1 1 0 0 ℃、6 0 分の熱処理を行ない、ウエル領域 5 0 2 中にベース領域 5 0 5 を形成する。この熱処理は、図 5 の M I S 型電界効果トランジスタ 5 3 0 のチャネル領域を決定することになるため、ウエル領域 5 0 2 の深さ、濃度、不純物の種類、またベース領域 5 0 5 の濃度、および不純物の種類により決定される。

## 【 0 0 4 0 】

次に図 5 (d) に示すように、第 1 のソース領域 5 0 7、第 1 のドレイン領域 5 0 8、第 2 のソース領域 5 1 7、第 2 のドレイン領域 5 1 8 を、例えばヒ素をイオン注入して、さらに電気炉で例えば 9 5 0 ℃、3 0 分の熱処理を行なって形成する。このうち第 1 のソース領域 5 0 7 と第 2 のソース領域 5 1 7 をそれぞれゲート電極をマスクにしたイオン注入により形成することで、第 1 のソース領域 5 0 7 と第 2 のソース領域 5 1 7 をゲート電極に自己整合させることができる。

## 【 0 0 4 1 】

その後、図示しないが C V D 法により酸化膜のような絶縁物を堆積して層間絶縁膜を形成し、コンタクトを開口し、配線を形成して、各素子を結線し集積回路

を完成させる。必要に応じて多層配線を用いても良い。

【 0 0 4 2 】

本発明によれば、図 5 に示す M I S 型電界効果トランジスタ 5 4 0 の電界緩和ドレイン領域は第 2 の n 型のウエル領域 5 1 2 で形成できるため、マスクの増加なしで、スイッチ素子を駆動するための回路に、アナログ特性を有した中耐圧素子を有することができるため、自由な設計と高性能な半導体装置が実現できる。

【 0 0 4 3 】

ここで、主要部のより詳しい製造法について説明する。M I S 型電界効果トランジスタ 5 4 0 は、M I S 型電界効果トランジスタ 5 3 0 に比して、オン抵抗は高くても支障ない。これは大電流を流す必要がないためである。また、動作耐圧もある程度確保されていれば支障ない。そのため、ウエル領域 5 1 2 を形成する際のイオン打込量は、第 2 のドレイン領域 5 1 8 の  $1/10 \sim 1/10000$  程度が適当で、M I S 型電界効果トランジスタ 5 3 0 の特性を優先して設定して構わない。

【 0 0 4 4 】

また、第 2 のドレイン領域 5 1 8 はゲート電極 5 1 4 から距離  $d_1$  を空けて形成する。この距離  $d_1$  は M I S 型電界効果トランジスタ 5 3 0 とのバランスから一定ではないが、 $1.0 \sim 5.0 [\mu m]$  程度が適当である。

【 0 0 4 5 】

このようにして作成された M I S 型電界効果トランジスタ 5 3 0 の  $V_{DS}-I_D$  (ドレイン電圧-ドレイン電流) 特性と、 $V_G-I_D$  (ゲート電圧-ドレイン電流) 特性、 $V_G-ABS IW$  (ゲート電圧-ウェハ電流の絶対値) 特性を図 6 (a), (b) に示し、同様に M I S 型電界効果トランジスタ 5 4 0 の  $V_{DS}-I_D$  特性と、 $V_G-I_D$ ,  $ABS IW$  特性を図 7 (a), (b) に示す。このように M I S 型電界効果トランジスタの動作範囲は負荷抵抗  $R$  により制御され、またその動作耐圧は  $ABS IW$  で表せる基板 (ウェハ) 電流値の動作範囲内での最大値により決定される。

【 0 0 4 6 】

上記のように作成された、M I S 型電界効果トランジスタ 5 4 0 は、M I S 型

電界効果トランジスタ530に対し、オン抵抗が1倍以上で、且つ動作耐圧が2／3倍以下とすることができる。また、MIS型電界効果トランジスタ540は、MIS型電界効果トランジスタ530に対し、オン抵抗が1倍以上で、且つ動作範囲内での最大基板電流が10倍以上とすることができる。

## 【0047】

## (第2の実施の形態)

図8は、本発明に係る第2の実施形態として、本発明の半導体装置をアレイ状に配置し、記録装置として使用する場合を目的とした工程断面図である。図8(a)，(b)の工程は第1の実施形態と同様なので、その後から説明する。

## 【0048】

図8(c)に示すように、不図示のフォトリジストを塗布し、フォトリソグラフィによりパターニングを行ない、またゲート電極804をマスクとして、選択的にp型の不純物、例えばボロンをイオン注入して、さらに電気炉で例えば1100℃、180分の熱処理を行ない、ウエル領域802を電氣的に分離するベース領域805を形成する。この熱処理はウエル領域802を分離するように、ベース領域805がウエル領域802より深くなるように設計することが重要であり、熱処理の条件はウエル領域802の深さ、濃度、不純物の種類、またベース領域805の濃度、および不純物の種類により決定される。

## 【0049】

次に図8(d)に示すように、第1のソース領域807、第1のドレイン領域808、第2のソース領域817、第2のドレイン領域818を、例えばヒ素をイオン注入して、さらに電気炉で例えば950℃、30分の熱処理を行なって形成する。このうち第1のソース領域807と第2のソース領域817をそれぞれゲート電極をマスクにしたイオン注入により形成することで、第1のソース領域807と第2のソース領域817をゲート電極に自己整合させることができる。距離d2は上述した距離d1と同様に設計すればよい。

## 【0050】

その後、図示しないがCVD法により酸化膜を堆積して層間絶縁膜を形成し、コンタクトを開口し、配線を結線する。必要に応じて多層配線を行ない、集積回

路を完成させる。

【0051】

本発明によれば、ウェル領域802を分離する形にベース領域805を深く形成する構造のため、各セグメントの各ドレインを個々に電氣的に分離できる。これにより、本発明の半導体装置をアレイ状に配置し、記録装置として使用する場合でも、図4に示すような簡単な回路構成で実現でき、低コスト化が可能となる。

【0052】

以上述べたように、本発明の半導体装置およびその製造方法においては、スイッチ素子のドレインの濃度をチャネルの濃度より低く設定でき、且つドレインを十分深く形成できるため、高耐圧により大電圧化を可能とし、低いオン抵抗による高速動作と大電流化を可能とし、延いては高集積化と省エネルギー化が得られ、またスイッチ素子を駆動するための回路には、アナログ特性を有した中耐圧素子を有するため、製造コストを大幅に上げることなく、自由な設計と高性能な半導体装置が実現できる。

【0053】

本発明の実施形態によるインクジェットヘッドは、上述したように作製した半導体装置の不図示の絶縁層上にアルミニウムなどからなる配線と窒化タンタルなどからなる発熱抵抗層とを有する発熱抵抗体を形成し、吐出口やそれに連通するインク通路を形成するために、成形樹脂やフィルムなどからなる天板などの吐出口形成部材を組合わせれば作製できる。（図10参照）そして、インクタンクを接続して、プリンター本体に搭載すればインクジェットプリンタとなる。

【0054】

【発明の効果】

以上説明したように、本発明によれば、スイッチ素子に用いるMIS型電界効果トランジスタのドレインの濃度をチャネルの濃度より低く設定でき、且つドレインを十分深く形成できるため、高耐圧により大電流化を可能とし、低いオン抵抗による高速動作を可能とし、延いては高集積化と省エネルギー化が実現できる。また、複数個のトランジスタによるアレイ状の構成を必要とする半導体装置に

おいても、コストを上げることなく、素子間の分離が容易に可能となる。

【 0 0 5 5 】

さらにスイッチ素子を駆動するための回路に、任意のしきい値電圧を設定でき、バックゲート電圧に耐えるアナログ特性を有した中耐圧素子を、コストを上げることなく形成できるため、自由な設計と高性能な半導体装置が実現できる。

【図面の簡単な説明】

【図 1】

(a) は本発明によるスイッチ素子、(b) は本発明による駆動回路素子の断面構造図。

【図 2】

本発明の半導体装置を記録装置に使用する場合の結線例を示す図。

【図 3】

本発明によるスイッチ素子をアレイ状に配置した半導体装置の断面構造図。

【図 4】

本発明のアレイ状に素子を配置した半導体装置を用いる場合の結線例を示す図。

【図 5】

(a) ～ (d) は、本発明に係る第 1 の実施形態の製造工程を示す断面図。

【図 6】

(a) , (b) は本発明によるスイッチ素子の電気特性を示す図。

【図 7】

(a) , (b) は本発明による駆動回路素子の電気特性を示す図。

【図 8】

(a) ～ (d) は、本発明に係る第 2 の実施形態の製造工程を示す断面図。

【図 9】

従来の記録ヘッドの模式的断面図。

【図 1 0】

記録ヘッドの模式的断面図。

【図 1 1】

一般的なドライバ IC の信号結線例を示す図。

【図 1 2】

レベルシフト結線例を示す図。

【図 1 3】

ソースホロワのトランジスタをレベルシフト回路に組み込んだときのドライバ IC 結線例を示す図。

【符号の説明】

1 0 1, 1 1 1, 3 0 1, 5 0 1, 8 0 1, 9 0 1, 1 0 0 1 p 型の半導体  
基体

1 0 2, 1 1 2, 3 0 2, 5 0 2, 5 1 2, 8 0 2, 8 1 2, 1 0 0 2 n 型  
のウエル領域

9 1 2 p 型のウエル領域

1 0 3, 1 1 3, 3 0 3, 5 0 3, 8 0 3 ゲート酸化膜

1 0 4, 1 1 4, 3 0 4, 5 0 4, 8 0 4, 8 1 4, 9 1 4, 1 0 1 4 ゲー  
ト電極

3 0 5, 5 0 5, 8 0 5, 1 0 0 5 p 型のベース領域

9 1 6 n 型の電界緩和ドレイン領域

1 0 7, 1 1 7, 3 0 7, 5 0 7, 5 1 7, 8 0 7, 8 1 7, 9 0 7, 1 0 0  
7 n 型のソース領域

1 0 8, 1 1 8, 3 0 8, 5 0 8, 5 1 8, 8 0 8, 8 1 8, 9 0 8, 1 0 0  
8 n 型のドレイン領域

9 1 7, 1 0 1 7 蓄熱層

9 1 8, 1 0 1 8 熱抵抗層

9 1 9, 1 0 1 9 配線

9 2 0, 1 0 2 0 保護層

5 3 0, 8 3 0, 9 3 0, 1 0 3 0 スイッチ素子

5 4 0, 8 4 0 レベルシフト素子

9 4 0, 1 0 4 0 記録ヘッドの基体

9 5 0, 1 0 5 0 発熱部

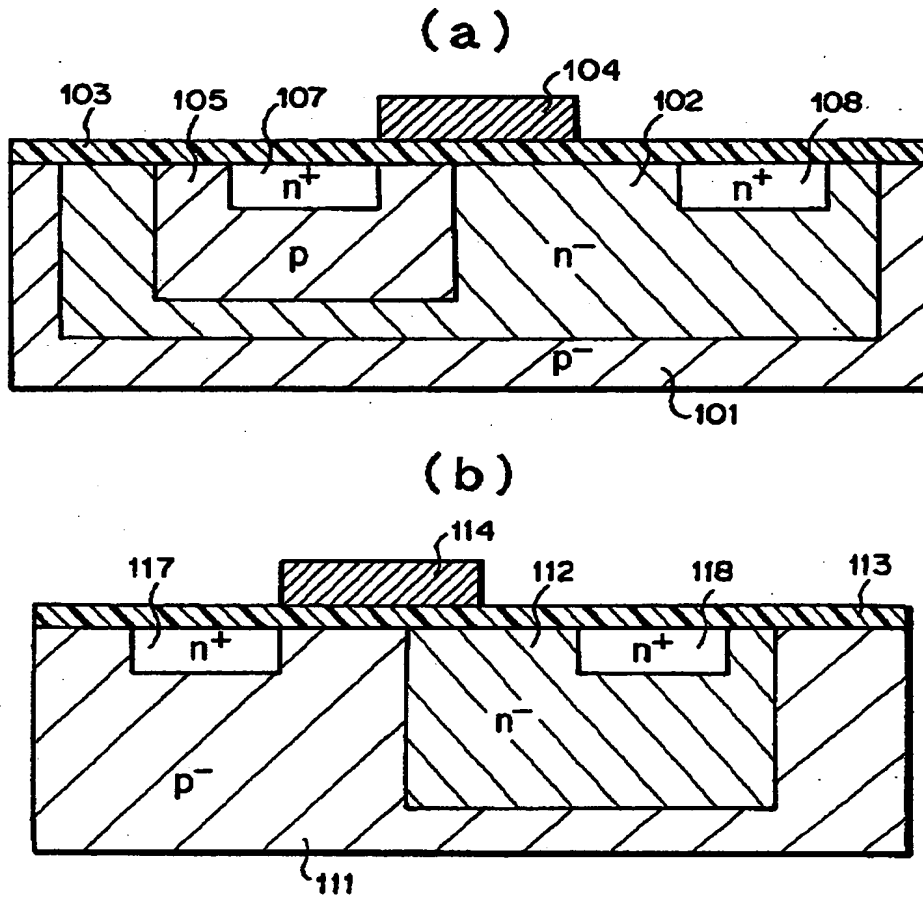
9 6 0 , 1 0 6 0    インク吐出部

9 7 0 , 1 0 7 0    天板

9 8 0 , 1 0 8 0    液路

【書類名】 図面

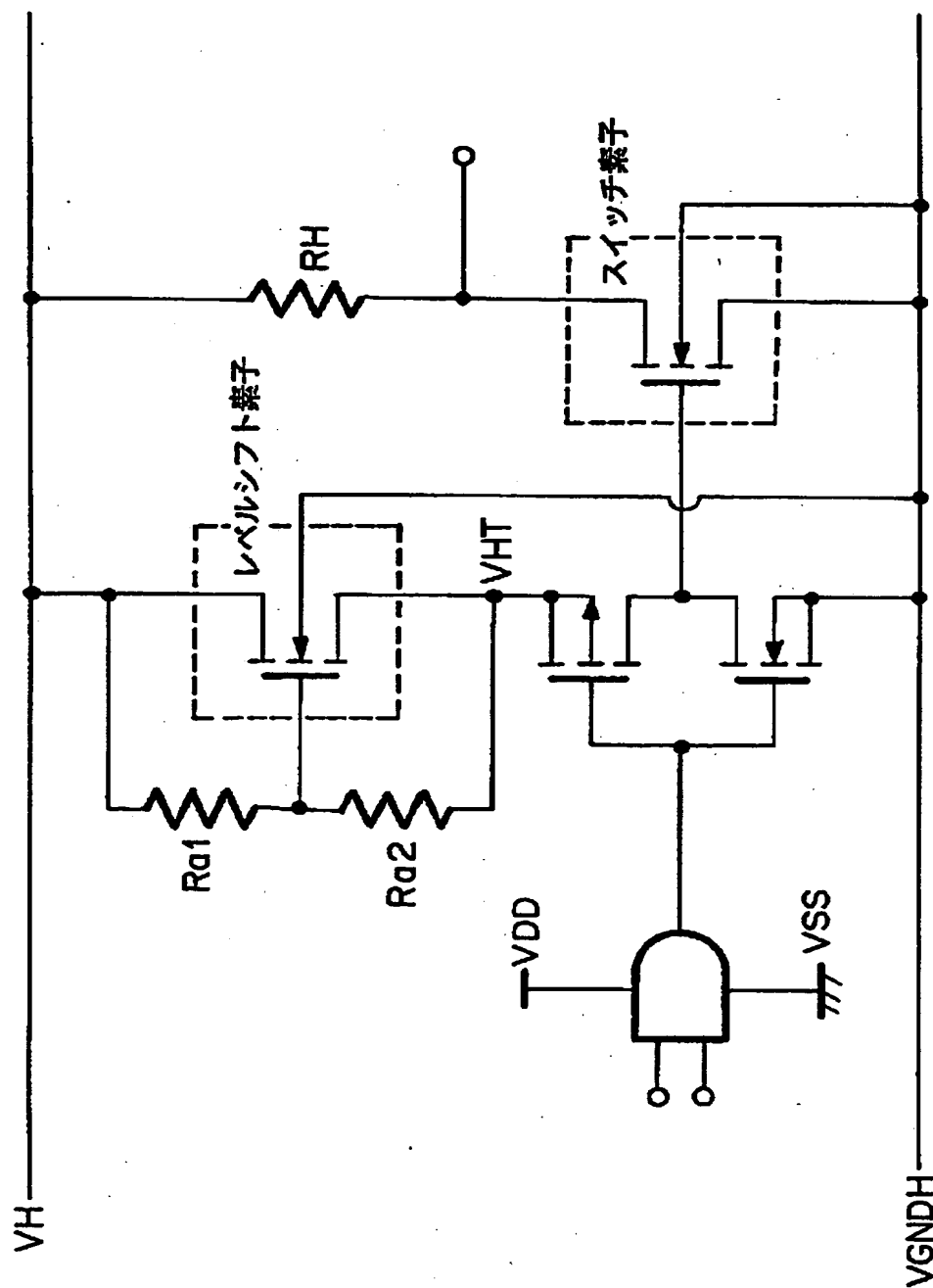
【図 1】



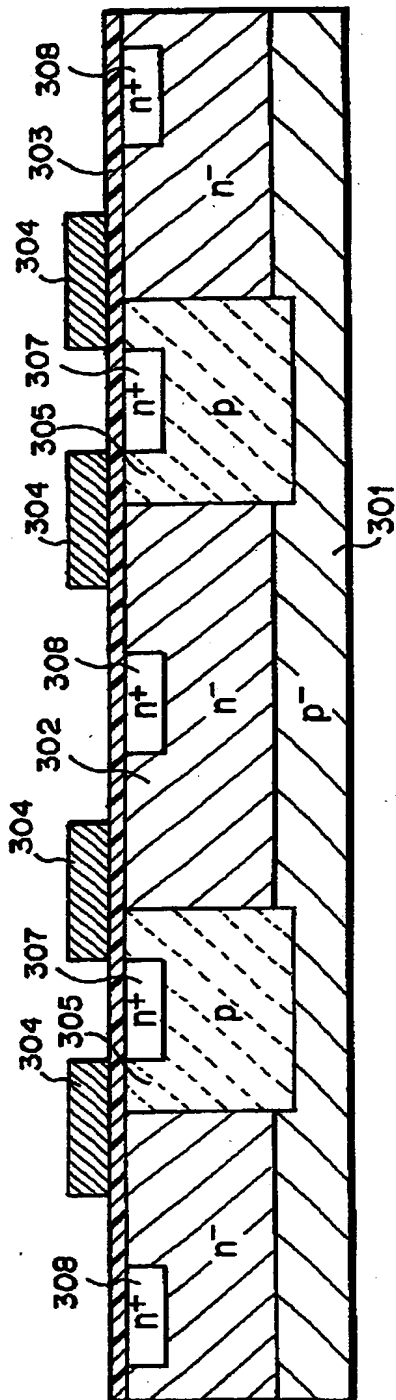
- 101, 111 : p型の半導体基体  
 102, 112 : n型のウエル領域  
 103, 113 : ゲート酸化膜  
 104, 114 : ゲート電極  
 105 : p型のベース領域  
 107, 117 : n型のソース領域  
 108, 118 : n型のドレイン領域



【図 2】

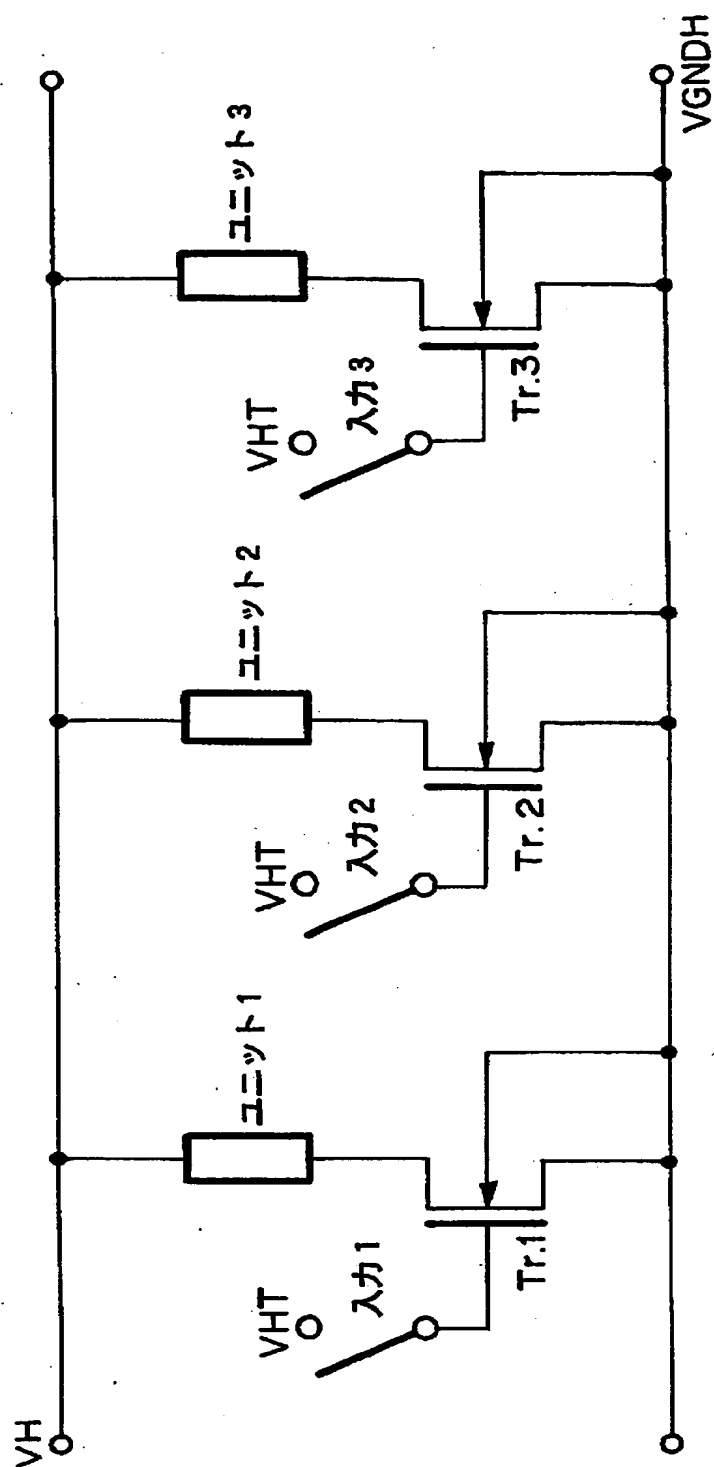


【図3】

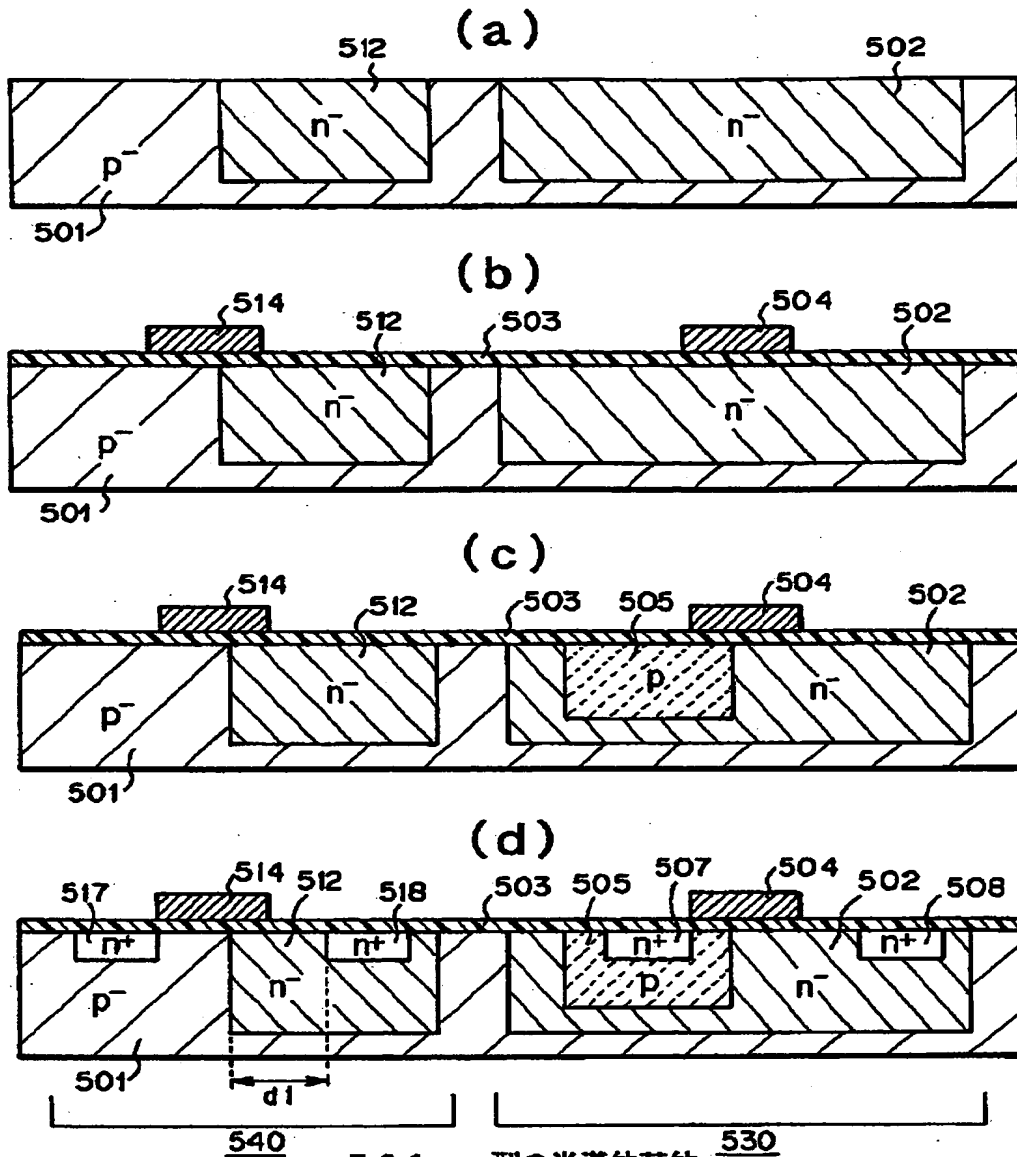


- 301 : p型の半導体基体
- 302 : n型のウェル領域
- 303 : ゲート酸化膜
- 304 : ゲート電極
- 305 : p型のソース領域
- 307 : n型のソース領域
- 308 : n型のドレイン領域

【図4】

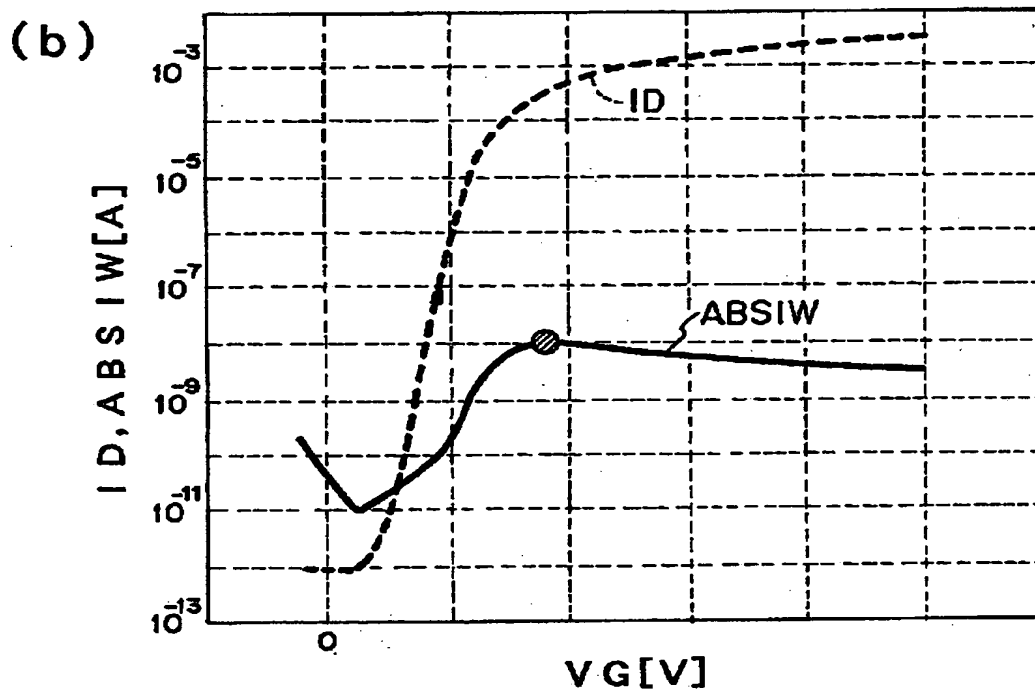
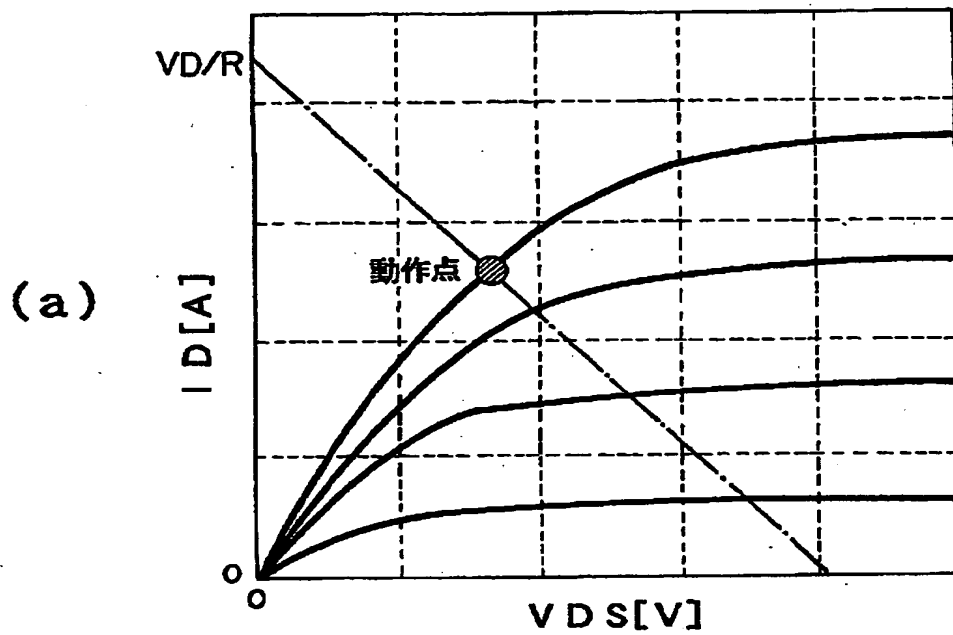


【図 5】

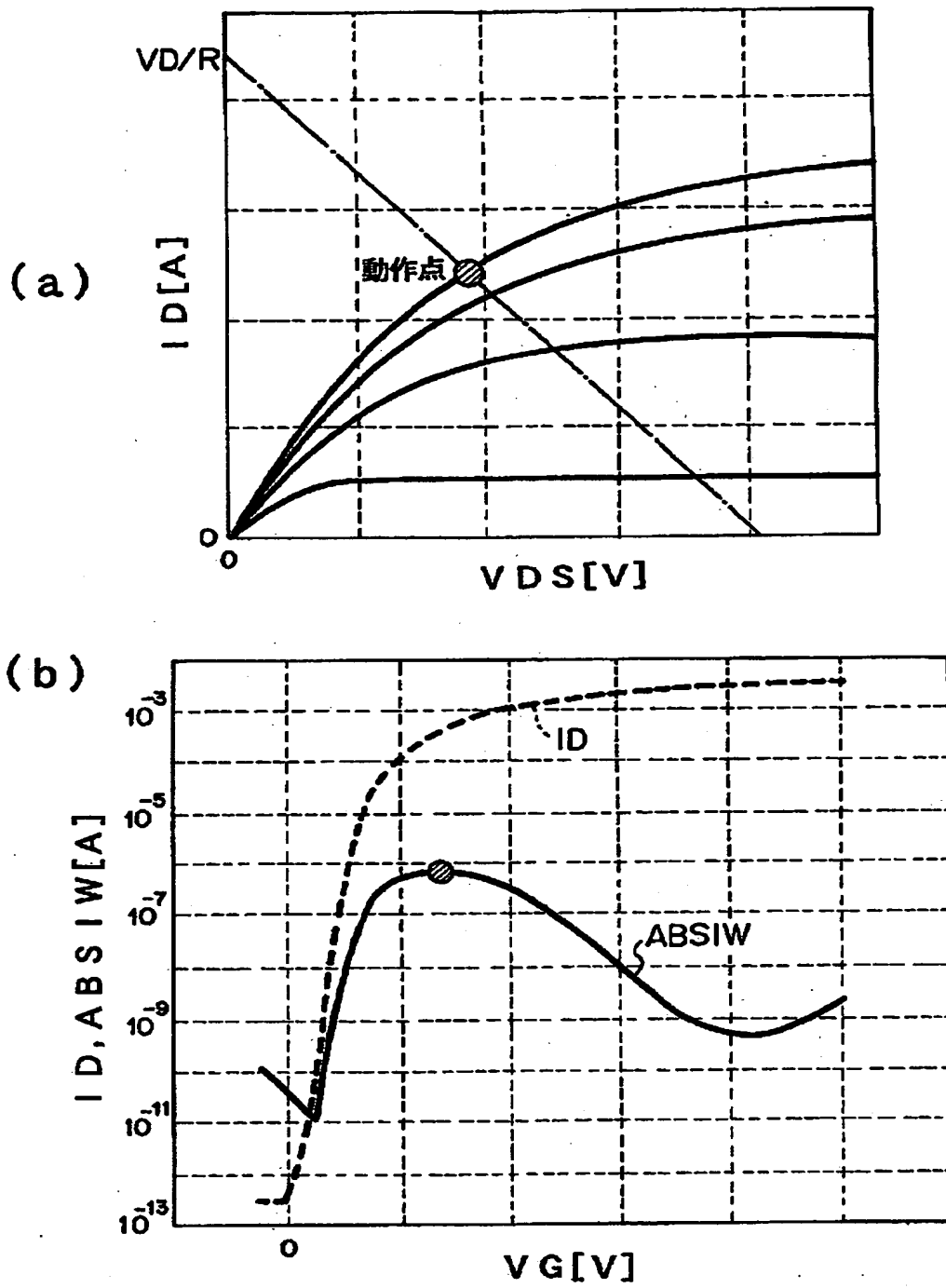


- 501 : p型の半導体基体  
 502, 512 : n型のウエル領域  
 503 : ゲート酸化膜  
 504, 514 : ゲート電極  
 505 : p型のベース領域  
 507, 517 : n型のソース領域  
 508, 518 : n型のドレイン領域  
 530 : スイッチ素子  
 540 : レベルシフト素子

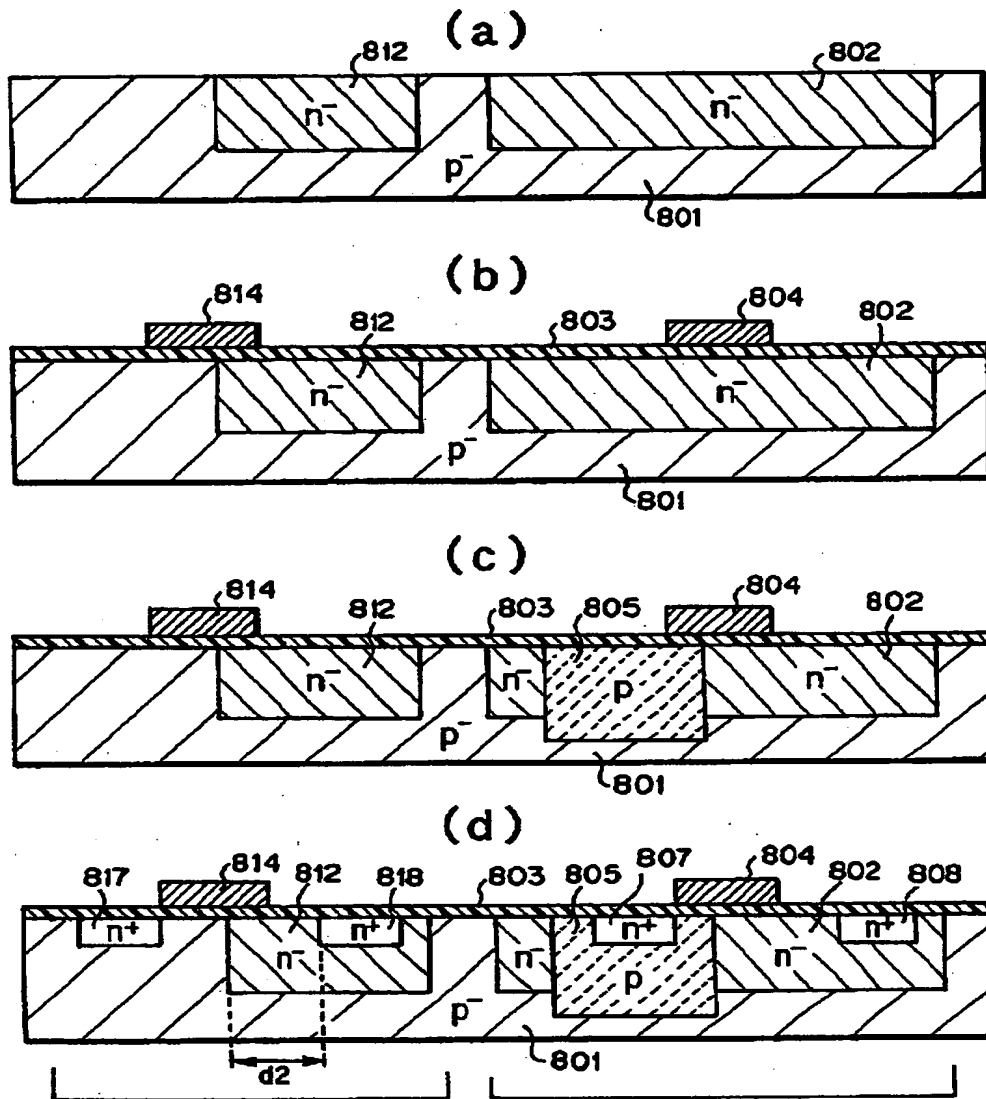
【図6】



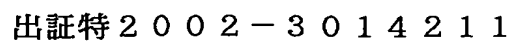
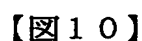
【図7】



【図 8】

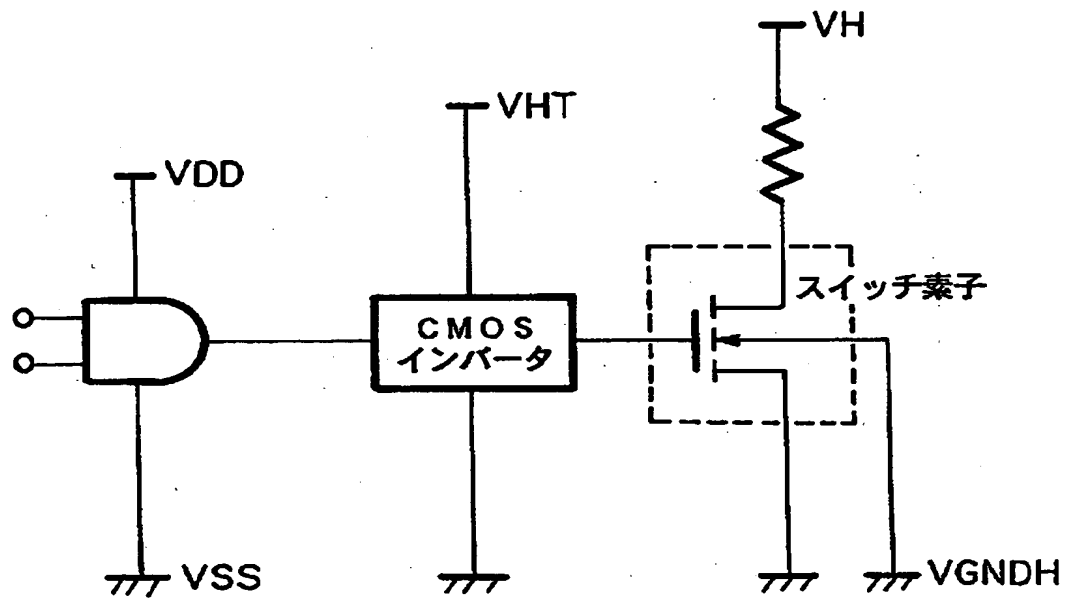


- 801 : p型の半導体基体  
 802, 812 : n型のウェル領域  
 803 : ゲート酸化膜  
 804, 814 : ゲート電極  
 805 : p型のベース領域  
 807, 817 : n型のソース領域  
 808, 818 : n型のドレイン領域  
 830 : スイッチ素子  
 840 : レベルシフト素子

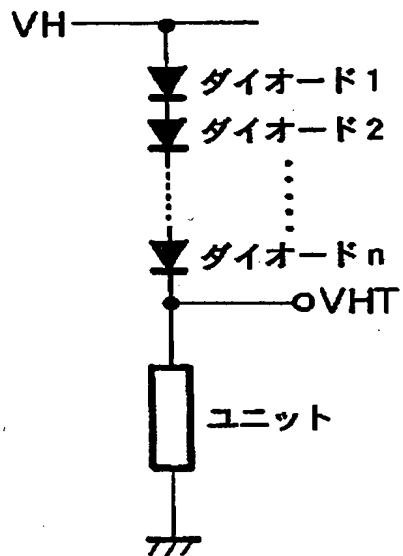




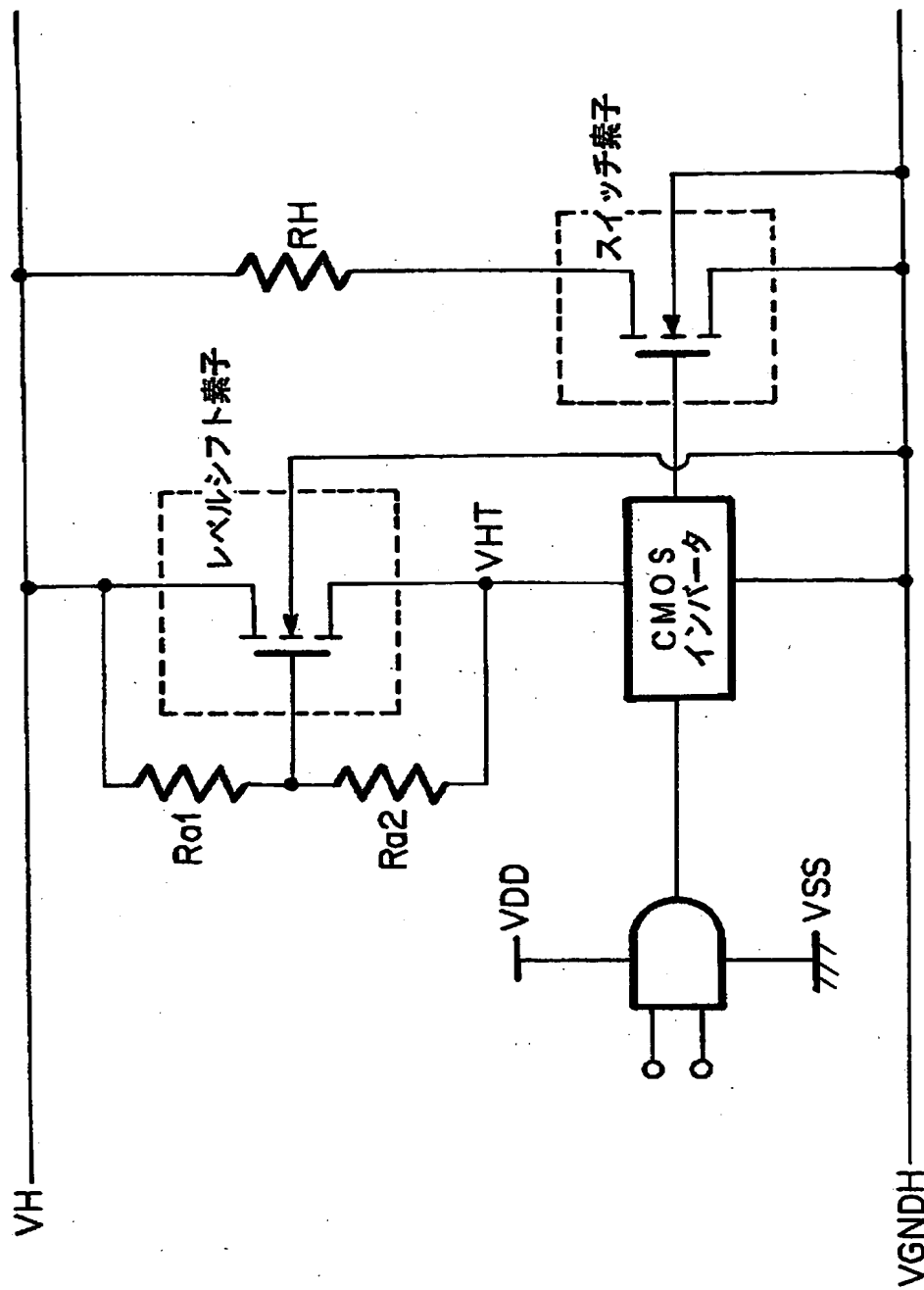
【図 1 1】



【図 1 2】



【図13】



【書類名】 要約書

【要約】

【課題】 大電流、高耐圧で高速駆動、省エネルギー、高集積化、および低コスト化が達成できる、MIS型電界効果トランジスタを含む高性能な半導体装置を提供する。

【解決手段】 予め十分深く形成したウエル領域102上にベース領域105を形成する。このウエル領域102とベース領域105は、それぞれMIS型電界効果トランジスタにおいて、ドレインとチャネルの役割を果たす。そのため、通常のチャネルの上にドレインを形成する形状とは逆に、ドレインの上にチャネルを形成することから、ドレインの濃度をチャネルの濃度より低く設定することが可能である。トランジスタの耐圧はこのドレインの耐圧で決定され、その耐圧は通常、ドレインの濃度が低いほど、ドレインの深さが深いほど高くなるので、定格電圧を高く設定でき、大電流化を可能とし、高速動作を実現できる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

{000001007}

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社